

THOMSON

DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

The Delphion Integrated View: INPADOC Record

Get N w: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Work File](#)View: Jump to: [Top](#) Go to: [Derwent](#)[Email this to a friend](#)Title: **JP2003209282A2:**

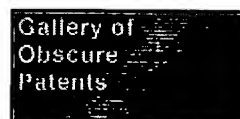
Derwent Title: Compound semiconductor type light emitting diode for use in optical communication display panel, has distributed Bragg reflector film containing aluminum oxide only at peripheral portion [\[Derwent Record\]](#)

Country: **JP Japan**Kind: **A2 Document Laid open to Public inspection**Inventor: **None**Assignee: **None**Published / Filed: **2003-07-25 / 2002-01-15**Application Number: **JP2002000006275**IPC Code: **H01L 33/00;**ECLA Code: **None**Priority Number: **2002-01- JP2002000006275**
**High
Resolution**

Family:

PDF	Publication	Pub. Date	Filed	Title
<input checked="" type="checkbox"/>	JP2003209282A2	2003-07-25	2002-01-15	
1 family members shown above				

Other Abstract
Info:


[Nominate this for the Gallery...](#)


© 1997-2003 Thomson Delphion

[Research Subscriptions](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-209282

(P2003-209282A)

(43)公開日 平成15年7月25日(2003.7.25)

(51)Int. Cl.⁷
H01L 33/00

識別記号

FI
H01L 33/00

テームトド(参考)
B 5F041

審査請求 未請求 請求項の数12 OL

(全14頁)

(21)出願番号 特願2002-6275(P2002-6275)
(22)出願日 平成14年1月15日(2002.1.15)

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 倉橋 孝尚
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72)発明者 村上 哲朗
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 100062144
弁理士 青山 葆 (外2名)

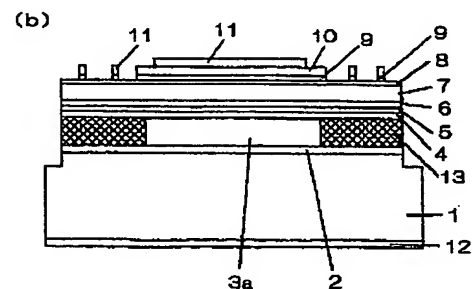
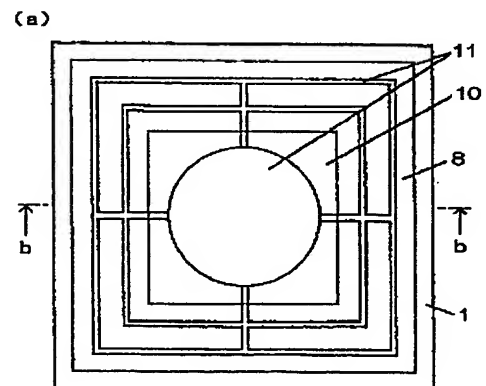
最終頁に続く

(54)【発明の名称】 半導体発光素子及びその製造方法

(57)【要約】

【課題】 短い発光波長に対しても高反射率の多層反射膜を備えた発光効率の高い半導体発光素子及びその製造方法を提供する。

【解決手段】 n型のGaAs基板1上には、内側第1DBR膜3a、外側第1DBR膜13、量子井戸活性層5、第2DBR膜7及びSiO₂膜10を形成している。SiO₂膜10に対向しない部分を有する外側第1DBR膜13は、少なくとも一層がAl_nO_m (n, m: 整数)を含んでいる。また、SiO₂膜10に対向する内側第1DBR膜3aはAl_nO_mを含まない。



【特許請求の範囲】

【請求項1】 半導体基板上に、第1多層反射膜、発光層及び第2多層反射膜が順次積層され、上記第1多層反射膜と上記第2多層反射膜とが一定の間隔を有して共振器を形成し、この共振器内の定在波の腹の位置に上記発光層が位置する半導体発光素子において、

上記第2多層反射膜上に形成された電流阻止層を備え、上記第1多層反射膜において上記電流阻止層に対向する部分以外の少なくとも一層は Al_nO_m (n, m : 整数) を含み、

上記第1多層反射膜において上記電流阻止層に対向する部分は Al_nO_m を含まないことを特徴とする半導体発光素子。

【請求項2】 請求項1に記載の半導体発光素子において、

上記第2多層反射膜上に電流拡散層が形成されていることを特徴とする半導体発光素子。

【請求項3】 請求項1または2に記載の半導体発光素子において、上記第1多層反射膜と上記発光層との間に、 Al_nO_m を含まない第3多層反射膜が形成されていることを特徴とする半導体発光素子。

【請求項4】 請求項3に記載の半導体発光素子において、

上記第3多層反射膜の層数が10層以下であることを特徴とする半導体発光素子。

【請求項5】 請求項1乃至4のいずれか1つに記載の半導体発光素子において、上記半導体基板がGaAsで形成されていることを特徴とする半導体発光素子。

【請求項6】 請求項1乃至5のいずれか1つに記載の半導体発光素子において、上記発光層は、単層あるいは複数層からなり、 $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$ 、 $0 \leq z \leq 1$) で形成されていることを特徴とする半導体発光素子。

【請求項7】 請求項1乃至6のいずれか1つに記載の半導体発光素子において、上記第3多層反射膜が、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$ 、 $0 \leq z \leq 1$) で形成されていることを特徴とする半導体発光素子。

【請求項8】 請求項1乃至7のいずれか1つに記載の半導体発光素子において、上記電流阻止層が、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$ 、 $0 \leq z \leq 1$) で形成されていることを特徴とする半導体発光素子。

【請求項9】 請求項2乃至8のいずれか1つに記載の半導体発光素子において、

上記電流拡散層が、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) ま

たは $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$ 、 $0 \leq z \leq 1$) で形成されていることを特徴とする半導体発光素子。

【請求項10】 請求項2乃至9のいずれか1つに記載の半導体発光素子において、

上記電流拡散層は発光光に対して50%以上の透過率の透光性電極であることを特徴とする半導体発光素子。

【請求項11】 請求項3乃至10のいずれか1つに記載の半導体発光素子において、

10 上記第3多層反射膜の縁部の表面と上記半導体基板の裏面とに、上記半導体基板と同一導電型の電極が形成されていることを特徴とする半導体発光素子。

【請求項12】 半導体基板上に、第1多層反射膜、発光層及び第2多層反射膜が順次積層され、上記第1多層反射膜と上記第2多層反射膜とが一定の間隔を有して共振器を形成し、この共振器内の定在波の腹の位置に上記発光層が位置する半導体発光素子の製造方法において、上記第2多層反射膜上に、上記第1多層反射膜の中央部

20 20 上記第1多層反射膜の縁部を高温の水蒸気中で熱処理することにより、上記第1多層反射膜の上記縁部の Al を Al_nO_m (n, m : 整数) に変化させる工程とを備えたことを特徴とする半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば伝送用及び表示用等に用いられる半導体発光素子及びその製造方法に関する。

【0002】

30 【従来の技術】近年、光通信や半導体発光素子情報表示パネル等に半導体発光素子が広く用いられている。これらの半導体発光素子は発光効率が高いこと、光通信用の半導体発光素子においてはさらに応答速度が高速であることが重要であり近年開発が盛んに行われている。

【0003】通常の面発光型のLED（発光ダイオード）は高速応答性はあまりよくなく、100Mbps～200Mbps程度が限界である。そこで、レゾナントキャビティ（Resonant Cavity）型LEDと呼ばれる半導体発光素子が開発されている。このレゾナントキャビティ型LEDは、2つのミラーで形成された共振器内において発生する定在波の腹の位置に発光層を有していることにより、自然放出光を制御し、高速応答及び高効率を実現する半導体発光素子である（特開平3-229480号公報、米国特許第5226053号参照）。

【0004】特に最近、比較的短い距離の通信にPOF（プラスチック光ファイバー）が利用されはじめ、このPOFの低損失な波長領域である650nmでの高効率な発光が可能なAlGaInP系の半導体材料を発光層とするレゾナントキャビティ型LEDが開発されている（High Brightness Visible Resonant Cavity Light

Emitting Diode : IEEE PHOTONICS TECHNOLOGY LETTERS
VOL.10 NO.12 DECEMBER1998)。

【0005】

【発明が解決しようとする課題】ところが、上記従来のレゾナントキャビティ型LEDは、共振器を形成するミラーとしてAlGaAs系またはAlGaInP系の材料の多層反射膜を用いているため、発光波長が短い場合、多層反射膜における2層の屈折率差を大きくできず、発光効率が低下するという問題があった。

【0006】例えば、AlGaAs系の場合、650nmの発光波長に対してはAl混晶比が0.45以上の材料が使用可能であり、99%以上の反射率を得るためには多層反射膜を25ペア以上にする必要がある。つまり、上記多層反射膜の層数を50層以上にする必要がある。

【0007】そして、570nmの発光波長に対してはAl混晶比が0.6以上の材料が使用可能であるが、多層反射膜を構成する2層の屈折率差が650nmの場合よりも小さく、99パーセント以上の反射率を得るためには多層反射膜を35ペア以上にする必要がある。つまり、上記多層反射膜の層数を70層以上にする必要がある。

【0008】このように、上記多層反射膜を構成する2層の屈折率差が小さくなると、一定の反射率を得るために必要な層数が増えるばかりでなく、反射スペクトルの幅が狭くなり、より精度の高い層厚制御、波長制御が必要になり歩留りよく素子を作製する上で大きな問題となる。

【0009】そこで、本発明の目的は、上記問題点を解決するために、短い発光波長に対しても高反射率の多層反射膜を備えた発光効率の高い半導体発光素子及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体発光素子は、半導体基板上に、第1多層反射膜、発光層及び第2多層反射膜が順次積層され、上記第1多層反射膜と上記第2多層反射膜とが一定の間隔を有して共振器を形成し、この共振器内の定在波の腹の位置に上記発光層が位置する半導体発光素子において、上記第2多層反射膜上に形成された電流阻止層を備え、上記第1多層反射膜において上記電流阻止層に対向する部分以外の少なくとも一層は Al_nO_m (n, m : 整数)を含み、上記第1多層反射膜において上記電流阻止層に対向する部分は Al_nO_m を含まないことを特徴としている。

【0011】上記構成の半導体発光素子によれば、上記第1多層反射膜において電流阻止層に対向する部分以外の少なくとも一層が Al_nO_m を含むので、発光波長が短くても、その電流阻止層に対向する部分以外の領域における2層の屈折率差が大きくなる。その結果、上記電流

阻止層に対向する部分以外の領域で高反射率が得られ、発光効率を高めることができる。

【0012】また、上記半導体発光素子では、半導体基板の上方(チップ表面)から半導体基板への電流経路が確保されている。

【0013】一実施形態の半導体発光素子は、上記第2多層反射膜上に電流拡散層が形成されている。

【0014】上記実施形態の半導体発光素子は、上記第2多層反射膜上に電流拡散層が形成されているので、電流阻止層に対向する部分以外の領域から均一な発光を得ることができる。

【0015】一実施形態の半導体発光素子は、上記第1多層反射膜と上記発光層との間に、 Al_nO_m を含まない第3多層反射膜が形成されている。

【0016】上記実施形態の半導体発光素子によれば、上記第1多層反射膜と上記発光層との間に、 Al_nO_m を含まない第3多層反射膜が形成されているので、半導体基板の上方(チップ表面)から半導体基板への電流経路の断面積が大きくなり、動作電圧を低減することができる。

【0017】一実施形態の半導体発光素子は、上記第3多層反射膜の層数が10層以下である。

【0018】上記実施形態の半導体発光素子によれば、上記第3多層反射膜の層数が10層以下であるので、第1多層反射膜の反射特性に悪影響が及ぶことがない。したがって、上記第3多層反射膜の高反射率特性を維持したまま、動作電圧を低減することができる。

【0019】一実施形態の半導体発光素子は、上記半導体基板がGaAsで形成されている。

【0020】上記実施形態の半導体発光素子によれば、上記第1多層反射膜がGaAsで形成されているので、一連の結晶成長でGaAs基板に格子整合する材料系の発光層を良好な結晶性で形成することができる。

【0021】一実施形態の半導体発光素子は、上記発光層は、単層あるいは複数層からなり、 $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1, 0 \leq z \leq 1$)で形成されている。

【0022】上記実施形態の半導体発光素子によれば、上記発光層が $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1, 0 \leq z \leq 1$)からなるので、550nm~680nm程度の発光を得ることができる。

【0023】一実施形態の半導体発光素子は、上記第3多層反射膜が、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$)または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1, 0 \leq z \leq 1$)で形成されている。

【0024】上記実施形態の半導体発光素子によれば、上記第3多層反射膜を $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$)で形成することにより、結晶性の良い $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1, 0 \leq z \leq 1$)発光層を形成することができる。

【0025】また、上記第3多層反射膜を $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成することにより、V族のAsとPの切り換え界面から発光層までの距離が大きくなり、 $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) 発光層の結晶性をさらに高くすることができる。

【0026】一実施形態の半導体発光素子は、上記電流阻止層が、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成されている。

【0027】上記実施形態の半導体発光素子によれば、上記電流阻止層を $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) で形成することにより、590nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流阻止層を作製することができる。

【0028】また、上記電流阻止層が $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成することにより、550nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流阻止層を作製することができる。

【0029】一実施形態の半導体発光素子は、上記電流拡散層が、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成されている。

【0030】上記実施形態の半導体発光素子によれば、上記電流拡散層を $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) で形成することにより、590nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流拡散層を作製することができる。

【0031】また、上記電流拡散層を $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成することにより、550nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流拡散層を作製することができる。

【0032】一実施形態の半導体発光素子において、上記電流拡散層は発光光に対して50%以上の透過率の透光性電極である。

【0033】上記実施形態の半導体発光素子によれば、上記電流拡散層が発光光に対して50%以上の透過率の透光性電極であるので、半導体材料で電流拡散層を形成する場合よりも、動作電圧を低減することができる。

【0034】一実施形態の半導体発光素子は、上記第3多層反射膜の縁部の表面と上記半導体基板の裏面とに、上記半導体基板と同一導電型の電極が形成されている。

【0035】上記実施形態の半導体発光素子によれば、上記第3多層反射膜の縁部の表面と半導体基板の裏面とに、上記半導体基板と同一導電型の電極が形成されているので、電流が発光層を経由して側方(チップ側面方向)にも流れて、動作電圧を低減することができる。

【0036】本発明の半導体発光素子の製造方法は、半

導体基板上に、第1多層反射膜、発光層及び第2多層反射膜が順次積層され、上記第1多層反射膜と上記第2多層反射膜とが一定の間隔を有して共振器を形成し、この共振器内の定在波の腹の位置に上記発光層が位置する半導体発光素子の製造方法において、上記第2多層反射膜上に、上記第1多層反射膜の中央部の上方に位置する電流阻止層を形成する工程と、上記第1多層反射膜の縁部を高温の水蒸気中で熱処理することにより、上記第1多層反射膜の上記縁部のAlを Al_nO_m (n, m : 整数) に変化させる工程とを備えたことを特徴としている。

【0037】上記構成の半導体発光素子の製造方法によれば、上記第1多層反射膜の縁部を高温の水蒸気中で熱処理することにより、第1多層反射膜の縁部のAlを Al_nO_m に変化させるので、第1多層反射膜の縁部における低屈折率層が Al_nO_m で形成される。したがって、通常の製造工程を大きく変えることなく、第1多層反射膜の縁部の反射率を高めることができる。

【0038】

【発明の実施の形態】以下、本発明の半導体発光素子及びその製造方法を図示の実施の形態により詳細に説明する。

【0039】(実施例1) 図1(a)は本発明の実施例1の半導体発光素子の上面図であり、図1(b)は図1(a)のb-b線から見た断面図である。

【0040】図2は上記実施例1の半導体発光素子の製造途中の断面図である。

【0041】図3(a)は上記実施例1の半導体発光素子の製造途中の上面図であり、図3(b)は図3(a)のb-b線から見た断面図である。

【0042】上記実施例1の半導体発光素子はAlGaInP系のものであり、図2に示すように、(100)から[011]方向に2°だけ傾斜した面方位を有するn型のGaAs基板1上に、厚さ1μmのn型のGaAsバッファ層2、n型のAlAsとn型の $Al_{0.45}Ga_{0.55}As$ との5ペアからなる第1DBR(Distributed Bragg Reflector)膜3、n型の $(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ 第1クラッド層4、量子井戸活性層5、p型の $(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ 第2クラッド層6、p型の $(Al_{0.2}Ga_{0.8})_{0.5}In_{0.5}P$ とp型の $Al_{0.5}In_{0.5}P$ との12ペアからなる第2DBR膜7、厚さ0.1μmのp型の $(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 中間層8、厚さ1μmのp型のGaAsコンタクト層9をMOCVD(有機金属気相成長)法により順次積層する。

【0043】ここで、n型のAlAsとn型の $Al_{0.45}Ga_{0.55}As$ との5ペアからなる第1DBR膜3は、AlAsが Al_nO_m (n, m : 整数) になったときに反射スペクトルの中心が650nmになるように形成し、p型の $(Al_{0.2}Ga_{0.8})_{0.5}In_{0.5}P$ とp型の $Al_{0.5}In_{0.5}P$ との12ペアからなる第2DBR膜7は、反

射スペクトルの中心が650nmになるように形成する。そして、上記第1DBR膜3及び第2DBR膜7で形成される共振器の共振波長も650nmになるように共振器長を調整する。本実施例1では共振器長は2波長分とした。

【0044】また、上記量子井戸活性層5においては、井戸層がGaInPからなり、バリア層が $(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ からなっている。また、上記量子井戸活性層5の位置は共振器中に生じる定在波の腹の位置にくるようにし、発光ピーク波長は650nmになるようにする。

【0045】次に、p型のGaAsコンタクト層9上に、図3(a), (b)に示すように、CVD法によりSiO₂を積層し、フォトリソグラフィー及び希釈HFによるエッチングを行って、電流阻止層の一例としての150μm×150μmのSiO₂膜10を形成すると共に、このSiO₂膜10の外側に電流経路を形成する。

【0046】その後、上記GaAsコンタクト層9及びSiO₂膜10上にAuZn/Mo/Auをスパッタし、フォトリソグラフィーのパターンニングにより表面電極を形成する。その後、熱処理することにより、図1(a), (b)に示すようなp型電極11が、p型のGaAsコンタクト層9及びSiO₂膜10上に得られる。そして、n型のGaAs基板1を約280μmまで研磨し、この研磨した面にAuGe/Auを蒸着し、熱処理する。これにより、n型のGaAs基板1下にn型電極12が形成される。

【0047】通常、表面電極と発光層との間には1μm～3μmの厚さの層しかなく、この層中では電流はあまり拡散しないが、p型電極11のように、電極形状を幅数μmの枝形状にすることによって発光部に極めて均一に電流を注入することができ、電極に遮られて外部に取り出すことのできない発光光が減少する。

【0048】次に、n型のAlAsとn型の $Al_{0.45}Ga_{0.55}As$ との5ペアからなる第1DBR膜3の側面が露出する深さまでダイシングし、例えば約400℃の水蒸気中で熱処理する。これにより、n型のAlAs層のうち周縁部を Al_nO_m 層に変化させ、 Al_nO_m と $Al_{0.45}Ga_{0.55}As$ との5ペアからなる外側第1DBR膜13を形成する。このとき、上記外側第1DBR膜13の内側には、n型のAlAsとn型の $Al_{0.45}Ga_{0.55}As$ との5ペアからなる内側第1DBR膜3aが形成されている。この内側第1DBR膜3aはSiO₂膜10に対向し、外側第1DBR膜13の大部分がSiO₂膜10に対向していない。

【0049】上記 Al_nO_m の層方向の寸法(酸化の深さ)Nは熱処理の温度、時間により決まる。上記寸法Nは、チップ天面サイズをL、電流阻止層の一辺の長さをMとして、 $N \geq (L - M) / 2$ を満たすのが望ましい。

本実施例1では、チップ天面サイズが $(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 中間層8の一辺の長さ270μmとなるため、酸化の深さを70μmと設定している。

【0050】最後に、個々のチップに分割することにより、本実施例1の半導体発光素子が得られる。

【0051】このようにして得られた本実施例1の半導体発光素子によれば、外側第1DBR膜13は Al_nO_m と $Al_{0.45}Ga_{0.55}As$ とのペアで構成するから、図4(b)に示すように、僅か5ペアで99%以上の高反射率を実現している。これに対して、従来の半導体発光素子は、図4(a)に示すように、AlAsと $Al_{0.45}Ga_{0.55}As$ とのペアで99%以上の反射率を得るためには25ペア以上が必要である。したがって、本実施例1の半導体発光素子は、従来の半導体発光素子に比べて、内側第1DBR膜3a、13の層数を1/5にすることができている。

【0052】また、上記第2DBR膜7はピーク反射率が約70%であり、レゾナントキャビティ構造には十分な反射率が得られている。本実施例1の半導体発光素子を25℃、50mAの通電試験を実施したところ1000時間経過後で初期光出力の95%の光出力であった。

【0053】また、本実施例1の半導体発光素子は電流阻止構造を有しており、SiO₂膜10下での発光を抑制しているので、外部量子効率が高く、初期光出力は20mAで1.6mWであった。このときの動作電圧は2.7Vであった。

【0054】上記実施例1では、上記GaAs基板1を半導体基板の一例、量子井戸活性層5を発光層の一例、第2DBR膜7を第2多層反射膜の一例としてそれぞれ用いている。また、上記内側第1DBR膜3aと外側第1DBR膜13とで第1多層反射膜の一例が構成される。

【0055】上記実施例1では、上記外側第1DBR膜13の大部分がSiO₂膜10に対向していなかったが、外側第1DBR膜13の全部がSiO₂膜10に対向しないようにしてもよい。

【0056】また、上記実施例1では、n型のGaAs基板1を用いていたが、p型の半導体基板を用いてもよい。この場合、上記内側第1DBR膜3a及び外側第1DBR膜13は量子井戸活性層5よりも半導体基板側に配置し、内側第1DBR膜3a及び外側第1DBR膜13の導電型をp型にする。

【0057】(実施例2) 図5(a)は本発明の実施例2の半導体発光素子の上面図であり、図5(b)は図5(a)のb-b線から見た断面図である。

【0058】図6は上記実施例2の半導体発光素子の製造途中の断面図である。

【0059】図7(a)は上記実施例2の半導体発光素子の製造途中の上面図であり、図7(b)は図7(a)のb-b線から見た断面図である。

【0060】上記実施例2の半導体発光素子はAlGaInP系のものであり、図6に示すように、(100)から[011]方向に15°だけ傾斜した面方位を有するn型のGaAs基板21上に、厚さ1μmのn型のGaAsバッファ層22、n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる第1DBR膜23、n型のAl_{0.95}Ga_{0.05}Asとn型のAl_{0.6}Ga_{0.4}Asとの2ペアからなる第3DBR膜24、n型のAl_{0.5}In_{0.5}P第1クラッド層25、量子井戸活性層26、p型のAl_{0.5}In_{0.5}P第2クラッド層27、p型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pとp型のAl_{0.5}In_{0.5}Pとの17ペアの第2DBR膜28、0.1μmのp型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pエッチングストップ層29、0.3μmのn型のGaAs電流阻止層30、0.1μmのn型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}P保護層31、0.01μmのn型のGaAsキャップ層32をMOCVD法により順次積層する。

【0061】ここで、n型のAlAsとn型のAl_{0.6}Ga_{0.4}Asとの5ペアからなる第1DBR膜23は、AlAsがAl_nO_m (n, m: 整数) になったときに反射スペクトルの中心が570nmになるように形成する。また、n型のAl_{0.95}Ga_{0.05}Asとn型のAl_{0.6}Ga_{0.4}Asとの2ペアからなる第3DBR膜24、及び、p型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pとp型のAl_{0.5}In_{0.5}Pとの17ペアからなる第2DBR膜28も、反射スペクトルの中心が570nmになるように形成する。また、上記第1DBR膜23、第3DBR膜24及び第2DBR膜28により形成される共振器の共振波長も570nmになるように共振器長を調整する。本実施例2では共振器長は2波長分とした。

【0062】また、上記量子井戸活性層26においては、井戸層が(Al_{0.3}Ga_{0.7})_{0.5}In_{0.5}Pからなり、バリア層が(Al_{0.6}Ga_{0.4})_{0.5}In_{0.5}Pの量子井戸活性層26からなっている。そして、上記量子井戸活性層26の位置は共振器中に生じる定在波の腹の位置にくるようにし、発光ピーク波長は570nmになるようにする。

【0063】次に、図7(a), (b)に示すように、n型のGaAsキャップ層32を硫酸/過酸化水素系エッチャントにより除去した後、フォトリソグラフィと、熱燐酸、硫酸/過酸化水素系エッチャントとによりn型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}P保護層31、n型のGaAs電流阻止層30をp型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pエッチングストップ層29に達するまでエッチングを行う。これにより、p型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pエッチングストップ層29上に、n型のGaAs電流阻止層30aが得られる。そして、n型のGaAs電流阻止層30a上には、n型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}P保護層31aが形成される。このとき、n型のGaAs電流阻止層30aと、

n型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}P保護層31aとは150μm×150μmになっている。そして、n型のGaAs電流阻止層30aと、n型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}P保護層31aとの外側には電流経路が形成される。

【0064】引き続き、図5(b)に示すように、p型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pエッチングストップ層29及びn型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}P保護層31a上に、厚さ7μmのp型のAl_{0.6}Ga_{0.4}As電流拡散層33を成長させる。

【0065】次に、p型のAl_{0.6}Ga_{0.4}As電流拡散層33上に、AuZn/Mo/Auをスパッタし、フォトリソグラフィ及びAuエッチャント、アンモニア/過酸化水素系エッチャントによるエッチングにより表面電極を形成する。その後、熱処理することにより、図5(a), (b)に示すようなp型電極34が、p型のAl_{0.6}Ga_{0.4}As電流拡散層33上に得られる。そして、n型のGaAs基板21を約280μmまで研磨し、この研磨した面にAuGe/Auを蒸着し、熱処理する。これにより、n型のGaAs基板21下にn型電極35が形成される。

【0066】次に、n型のAlAsとn型のAl_{0.6}Ga_{0.4}Asとの5ペアからなる第1DBR膜23の側面が露出する深さまでダイシングし、約400℃の水蒸気中で熱処理する。これにより、n型のAlAs層のうち周縁部をAl_nO_m層に変化させ、Al_nO_mとAl_{0.6}Ga_{0.4}Asとの5ペアからなる外側第1DBR膜36を形成する。このとき、上記外側第1DBR膜36の内側に、n型のAlAsとn型のAl_{0.6}Ga_{0.4}Asとの5ペアからなる内側第1DBR膜23aが形成される。この内側第1DBR膜23aはn型のGaAs電流阻止層30aに対向し、外側第1DBR膜36の大部分はn型のGaAs電流阻止層30aに対向していない。

【0067】上記Al_nO_mの層方向の寸法(酸化の深さ)Nは、熱処理の温度、時間により決まる。この層方向の寸法Nは、チップ天面サイズをL、GaAs電流阻止層30aの一辺の長さをMとした場合、N≧(L-M)/2を満たすのが望ましい。本実施例2ではチップ天面サイズがp型のAl_{0.6}Ga_{0.4}As電流拡散層33の一辺の長さ270μmとなるため、酸化の深さを70μmに設定している。

【0068】最後に、個々のチップに分割することにより、本実施例2の半導体発光素子が得られる。

【0069】このようにして得られた本実施例2の半導体発光素子によれば、外側第1DBR膜36はAl_nO_mとAl_{0.6}Ga_{0.4}Asとのペアで構成するから、図8(b)に示すように、僅か5ペアで99%以上の高反射率を実現している。これに対して、従来の半導体発光素子は、図8(a)に示すように、AlAsとAl_{0.6}Ga_{0.4}Asとのペアで99%以上の反射率を得るためには35ベ

ア以上が必要である。したがって、本実施例2の半導体発光素子は、従来の半導体発光素子に比べて、内側第1 DBR膜23a、36の層数を1/7にすることができている。

【0070】また、上記第2 DBR膜28のピーク反射率は約70%であり、レゾナントキャビティ構造には十分な反射率が得られている。本実施例2の半導体発光素子を25℃、50mAの通電試験を実施したところ1000時間経過後で初期光出力の95%の光出力であった。

【0071】また、本実施例2の半導体発光素子は電流阻止構造を有しており、n型のGaAs電流阻止層30a下の発光を抑制しているため、外部量子効率が高く、初期光出力は20mAで0.5mWであった。このときの動作電圧は2.4Vであった。このように、上記動作電圧が上記実施例1の動作電圧よりも低減するのは、n型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ 第1クラッド層25に加えて、n型の $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ とn型の $\text{Al}_{0.4}\text{Ga}_{0.4}\text{As}$ との2ペアからなる第3 DBR膜24が発光部下の電流経路として機能しているからである。

【0072】上記実施例2では、上記GaAs基板21を半導体基板の一例として用いると共に、第3 DBR膜24を第3多層反射膜の一例として用いている。また、上記量子井戸活性層26を発光層の一例として用いると共に、第2 DBR膜28を第2多層反射膜の一例として用いている。そして、上記第1 DBR膜23aと外側第1 DBR膜36とで第1多層反射膜の一例が構成されている。

【0073】上記実施例2では、p型の $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 電流拡散層33下にn型のGaAs電流阻止層30aを形成していたが、p型の $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 電流拡散層33上にn型のGaAs電流阻止層30aを形成してもよい。また、p型の $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 電流拡散層33内にn型のGaAs電流阻止層30aを形成してもよい。

【0074】上記実施例2では、外側第1 DBR膜36の大部分がn型のGaAs電流阻止層30aに対向していないかったが、外側第1 DBR膜36の全部がn型のGaAs電流阻止層30aに対向しないようにしてもよい。

【0075】また、上記実施例2では、n型のGaAs基板21を用いていたが、p型の半導体基板を用いてもよい。この場合、上記内側第1 DBR膜23a及び外側第1 DBR膜36は量子井戸活性層26よりも半導体基板側に配置し、内側第1 DBR膜23a及び外側第1 DBR膜36の導電型をp型にする。

【0076】(実施例3) 図9(a)は本発明の実施例3の半導体発光素子の上面図であり、図9(b)は図9(a)のb-b線から見た断面図である。

【0077】図10は上記実施例3の半導体発光素子の

製造途中の断面図である。

【0078】図11(a)は上記実施例3の半導体発光素子の製造途中の上面図であり、図11(b)は図11(a)のb-b線から見た断面図である。

【0079】上記実施例3の半導体発光素子はAlGaInP系のものであり、図10に示すように、(100)から[011]方向に15°だけ傾斜した面方位を有するn型のGaAs基板41上に、厚さ1μmのn型のGaAsバッファ層42、n型のAlAsとn型の $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ との5ペアからなる第1 DBR膜43、n型の $(\text{Al}_{0.4}\text{Ga}_{0.6})_{0.5}\text{In}_{0.5}\text{P}$ とn型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ との5ペアからなる第3 DBR膜44、n型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ 第1クラッド層45、量子井戸活性層46、p型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ 第2クラッド層47、p型の $(\text{Al}_{0.4}\text{Ga}_{0.6})_{0.5}\text{In}_{0.5}\text{P}$ とp型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ との17ペアからなる第2 DBR膜48、厚さ0.15μmのp型のAlGaInP中間層49、厚さ1μmのp型のGaP第1電流拡散層50、厚さ0.3μmのn型のGaP電流阻止層51、厚さ0.01μmのn型のGaAsキャップ層52をMOCVD法により順次積層する。

【0080】ここで、n型のAlAsとn型の $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ との5ペアからなる第1 DBR膜43は、AlAsが Al_nO_m (n, m: 整数) になったときに反射スペクトルの中心が570nmになるように形成する。また、n型の $(\text{Al}_{0.4}\text{Ga}_{0.6})_{0.5}\text{In}_{0.5}\text{P}$ とn型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ との5ペアからなる第3 DBR膜44、及び、p型の $(\text{Al}_{0.4}\text{Ga}_{0.6})_{0.5}\text{In}_{0.5}\text{P}$ とp型の $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ との17ペアからなる第2 DBR膜48も、反射スペクトルの中心が570nmになるように形成する。また、上記第1 DBR膜43、第3 DBR膜44及び第2 DBR膜48で形成される共振器の共振波長も570nmになるように共振器長を調整する。本実施例2では共振器長を2波長分とした。

【0081】また、上記量子井戸活性層46においては、井戸層が $(\text{Al}_{0.5}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ からなり、バリア層が $(\text{Al}_{0.5}\text{Ga}_{0.4})_{0.5}\text{In}_{0.5}\text{P}$ からなっている。そして、上記量子井戸活性層46の位置は共振器中に生じる定在波の腹の位置にくるようにし、発光ピーク波長は570nmになるようにする。

【0082】次に、図11(a), (b)に示すように、n型のGaAsキャップ層52を硫酸/過酸化水素系エッチャントで除去した後、フォトリソグラフィと、硫酸/過酸化水素系エッチャントによりn型のGaP電流阻止層51をp型のGaP第1電流拡散層50に達するまでエッチングする。これにより、p型のGaP第1電流拡散層50上に、n型のGaP電流阻止層51aが得られる。このとき、n型のGaP電流阻止層51aは150μm×150μmの形状になっている。そして、n型のGaP電流阻止層51aの外側には電流経路

が形成されている。

【0083】引き続き、図9(b)に示すように、p型のGaP第1電流拡散層50及びn型のGaP電流阻止層51a上に、厚さ7 μ mのp型のAlGaInP第2電流拡散層53を成長させる。

【0084】次に、p型のAlGaInP第2電流拡散層53上にAuBe/Auを蒸着し、フォトリソグラフィー及びAuエッチャントによるエッチングにより表面電極を形成する。その後、熱処理することにより、図9(a), (b)に示すようなp型電極54が、p型のAlGaInP第2電流拡散層53上に得られる。そして、n型のGaAs基板41を約280 μ mまで研磨し、この研磨した面にAuGe/Auを蒸着し、熱処理する。これにより、n型のGaAs基板41下にn型電極55が形成される。

【0085】次に、n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる第1DBR43の側面が露出する深さまでダイシングし、約400℃の水蒸気中で熱処理する。これにより、n型のAlAs層のうち周辺部をAl_{0.4}O₂層に変化させ、Al_{0.4}O₂とAl_{0.4}Ga_{0.6}Asとの5ペアからなる外側第1DBR膜56を形成する。このとき、上記外側第1DBR膜56の内側には、n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる内側第1DBR膜43aが形成される。この内側第1DBR膜43aはn型のGaP電流阻止層51aに対向し、外側第1DBR膜56の大部分はn型のGaP電流阻止層51aに対向していない。

【0086】上記Al_{0.4}O₂の層方向の寸法(酸化の深さ)Nは熱処理の温度、時間により決まる。上記寸法Nはチップ天面サイズをL、GaP電流阻止層51aの一辺の長さをMとした場合、 $N \geq (L - M) / 2$ を満たすのが望ましい。本実施例3では天面サイズがAlGaInP第2電流拡散層53の一辺の長さ270 μ mとなるため、酸化の深さは70 μ mに設定している。

【0087】最後に、個々のチップに分割することにより、本実施例3の半導体発光素子が得られる。

【0088】このようにして得られた本実施例3の半導体発光素子によれば、上記実施例2と同様に、外側第1DBR膜56はAl_{0.4}O₂とAl_{0.4}Ga_{0.6}Asとのペアで構成するから、僅か5ペアで99%以上の高反射率を実現している。本実施例3の半導体発光素子を25℃、50mAの通電試験を実施したところ1000時間経過後で初期光出力の95%の光出力であった。

【0089】また、本実施例3の半導体発光素子は電流阻止構造を有しており、n型のGaP電流阻止層51a下の発光を抑制しているので、外部量子効率が高く、初期光出力は20mAで0.5mWであった。そして、このときの動作電圧は2.2Vであった。このように、上記動作電圧が上記実施例2の動作電圧よりも0.2V低くなるのは、n型のAl_{0.4}In_{0.6}P第1クラッド層4

5に加えて、n型の(Al_{0.4}Ga_{0.6})_{0.6}In_{0.4}Pとp型のAl_{0.4}In_{0.6}Pとの5ペアからなる第3DBR膜44が、発光部下の電流経路として機能し、実施例2の場合よりも3ペア分(約0.3 μ m)厚いからである。

【0090】上記実施例3では、上記GaAs基板41を半導体基板の一例として用いると共に、第3DBR膜44を第3多層反射膜の一例として用いている。また、上記量子井戸活性層46を発光層の一例として用いると共に、第2DBR膜48を第2多層反射膜の一例として用いている。そして、上記内側第1DBR膜43aと外側第1DBR膜56とで第1多層反射膜の一例が構成されている。

【0091】上記実施例3では、p型のAlGaInP第2電流拡散層53下にn型のGaP電流阻止層51aを形成していたが、p型のAlGaInP第2電流拡散層53上にn型のGaP電流阻止層51aを形成してもよい。また、p型のAlGaInP第2電流拡散層53内にn型のGaP電流阻止層51aを形成してもよい。

【0092】上記実施例3では、上記外側第1DBR膜56の大部分はn型のGaP電流阻止層51aに対向していなかったが、外側第1DBR膜56の全部がn型のGaP電流阻止層51aに対向しないようにしてもよい。

【0093】また、上記実施例3では、n型のGaAs基板41を用いていたが、p型の半導体基板を用いてもよい。この場合、内側第1DBR膜43a及び外側第1DBR膜56は量子井戸活性層46よりも半導体基板側に配置し、内側第1DBR膜23a及び外側第1DBR膜36の導電型をp型にする。

【0094】(実施例4)図12(a)は本発明の実施例4の半導体発光素子の上面図であり、図12(b)は図12(a)のb-b線から見た断面図である。

【0095】図13は上記実施例4の半導体発光素子の製造途中の断面図である。

【0096】図14(a)は上記実施例4の半導体発光素子の製造途中の上面図であり、図14(b)は図14(a)のb-b線から見た断面図である。

【0097】上記実施例4の半導体発光素子はAlGaInP系のものであり、図13に示すように、[011]方向に15°だけ傾斜した面方位を有するn型のGaAs基板61上に、厚さ1 μ mのn型のGaAsバッファ層62、n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる第1DBR膜63、n型の(Al_{0.4}Ga_{0.6})_{0.6}In_{0.4}Pとn型のAl_{0.4}In_{0.6}Pとの5ペアからなる第3DBR膜64、n型のAl_{0.4}In_{0.6}P第1クラッド層65、量子井戸活性層66、p型のAl_{0.4}In_{0.6}P第2クラッド層67、p型の(Al_{0.4}Ga_{0.6})_{0.6}In_{0.4}Pとp型のAl_{0.4}In_{0.6}Pとの17ペアからなる第2DBR膜68、厚さ0.1 μ mのp型の(Al_{0.4}Ga_{0.6})_{0.6}In_{0.4}P中間層6

9、厚さ0.005 μ mのp型のGaAsコンタクト層70をMOCVD法により順次積層する。

【0098】ここで、n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる第1DBR膜63は、AlAsがAl_nO_m (n, m: 整数) になったときに反射スペクトルの中心が570nmになるように形成する。また、n型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pとn型のAl_{0.5}In_{0.5}Pとの5ペアからなる第3DBR膜64、及び、p型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pとp型のAl_{0.5}In_{0.5}Pとの17ペアからなる第2DBR膜68は、反射スペクトルの中心が570nmになるように形成する。また、上記第1DBR膜63、第3DBR膜64及び第2DBR膜68で形成される共振器の共振波長も570nmになるように調整する。

【0099】また、上記量子井戸活性層66においては、井戸層が(Al_{0.3}Ga_{0.7})_{0.5}In_{0.5}Pからなり、バリア層が(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}Pからなっている。そして、上記量子井戸活性層66の位置は、共振器中に生じる定在波の腹の位置にくるようにしている。

【0100】次に、ウェハー表面(p型のGaAsコンタクト層70の表面)上にCVD(化学気相成長)法によりSiO₂を堆積させ、フォトリソグラフィー及び希釈HFによるエッチングを行う。これにより、p型のGaAsコンタクト層70上に、図14(a), (b)に示すように、電流阻止層としての120 μ m \times 120 μ m形状のSiO₂膜71を形成する。そして、このSiO₂膜71の外側には電流経路が形成される。

【0101】次に、図12(b)に示すように、n型のGaAs基板61を約280 μ mまで研磨し、この研磨した面にAuGe/Auによりn型第1電極72を形成する。その後、図12(a), (b)に示すように、p型のGaAsコンタクト層70及びSiO₂膜71上に、表面電極としてITO(Indium-Tin-Oxide:スズ添加酸化インジウム)膜73を形成する。そして、上記ITO膜73上に、Ti/Auによりボンディングパッド74を形成する。さらに、n型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pとn型のAl_{0.5}In_{0.5}Pとの5ペアからなる第3DBR膜64の表面が露出するまでエッチングする。そして、その第3DBR膜64の表面に、AuSi/Mo/Auによりn型第2電極75を形成する。このn型第2電極75は、n型のAl_{0.5}In_{0.5}P第1クラッド層65を取り囲むように形成されている。

【0102】次に、n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる第1DBR膜63の側面が露出する深さまでエッチングし、約400℃の水蒸気中で熱処理する。これにより、n型のAlAs層のうち周縁部をAl_nO_m層に変化させ、Al_nO_mとAl_{0.4}Ga_{0.6}Asとの5ペアからなる外側第1DBR膜76を形成する。このとき、外側第1DBR膜76の内側に、

n型のAlAsとn型のAl_{0.4}Ga_{0.6}Asとの5ペアからなる内側第1DBR膜63aが形成される。この内側第1DBR膜63aはSiO₂膜71に対向し、外側第1DBR膜76の大部分はSiO₂膜71に対向していない。

【0103】上記Al_nO_mの層方向の寸法(酸化の深さ)Nは熱処理の温度、時間により決まる。上記寸法Nはチップ天面サイズをL、電流阻止層つまりSiO₂膜71の一边の長さをMとした場合、 $N \geq (L - M) / 2$ を満たすのが望ましい。本実施例4ではチップ天面サイズがITO膜73の一边の長さ190 μ mとなるため、酸化の深さを45 μ mに設定している。

【0104】最後に、個々のチップに分割することにより、本実施例4の半導体発光素子が得られる。

【0105】このようにして得られた本実施例4の半導体発光素子においてDBR膜の構造は上記実施例3と同様であるが、上記実施例3の半導体発光素子における20mAでの動作電圧が2.2Vであったのに対して、本実施例4の半導体発光素子における20mAでの動作電圧が2.0となる。すなわち、本実施例4の半導体発光素子は、上記実施例3の半導体発光素子に比べて動作電圧を0.2V低減できた。これは、本実施例4の半導体発光素子は、チップの外周部のn型の(Al_{0.4}Ga_{0.6})_{0.5}In_{0.5}Pとn型のAl_{0.5}In_{0.5}Pとの5ペアからなる第3DBR膜64上にn型第2電極75を設けていることで、電流が量子井戸活性層66を経由しチップ側面方向にも流れるからである。

【0106】また、p型のGaAsコンタクト層70及びITO膜73の透過率は570nmの光に対して約70%であり、光出力は20mA通電時に0.35mWであった。そして、25℃での50mAの通電試験では1000時間経過後で初期光出力の95%の光出力であった。

【0107】上記実施例4では、上記GaAs基板61を半導体基板の一例として用いると共に、第3DBR膜64を第3多層反射膜の一例として用いている。また、上記量子井戸活性層66を発光層の一例として用いると共に、第2DBR膜68を第2多層反射膜の一例として用いている。そして、上記内側第1DBR膜63aと外側第1DBR膜76とで第1多層反射膜の一例が構成されている。

【0108】上記実施例4では、上記外側第1DBR膜76の大部分はSiO₂膜71に対向していなかったが、外側第1DBR膜76の全部はSiO₂膜71に対向していないようにしてもよい。

【0109】また、上記実施例4では、n型のGaAs基板61を用いていたが、p型の半導体基板を用いてもよい。この場合、内側第1DBR膜63a及び外側第1DBR膜76は量子井戸活性層66よりも半導体基板側に配置し、内側第1DBR膜63a及び外側第1DBR

10

20

30

40

50

膜76の導電型をp型にする。

【0110】また、本発明の半導体発光素子において、第3DBR膜は $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成されてもよい。そして、その第3DBR膜の層数は10層以下でもよい。

【0111】また、量子井戸活性層は、単層あるいは複数層からなり、 $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成されてもよい。

【0112】また、電流阻止層は、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成されてもよい。

【0113】また、電流拡散層は、 $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) または $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成されてもよい。または、電流拡散層は発光光に対して50%以上の透過率の透光性電極であってもよい。

【0114】

【発明の効果】以上より明らかなように、本発明の半導体発光素子は、第1多層反射膜において電流阻止層に対向する部分以外の少なくとも一層が Al_nO_m (n, m : 整数) を含むので、発光波長が短くても、その電流阻止層に対向する部分以外の領域における2層の屈折率差が大きくなって、電流阻止層に対向する部分以外の領域で高反射率が得られ、発光効率を高めることができる。

【0115】一実施形態の半導体発光素子は、上記第2多層反射膜上に電流拡散層が形成されているので、電流阻止層に対向する部分以外の領域から均一な発光を得ることができる。

【0116】一実施形態の半導体発光素子は、上記第1多層反射膜と発光層との間に、 Al_nO_m を含まない第3多層反射膜が形成されているので、半導体基板の上方から半導体基板への電流経路の断面積が大きくなり、動作電圧を低減することができる。

【0117】一実施形態の半導体発光素子は、上記第3多層反射膜の層数が10層以下であるので、第1多層反射膜の反射特性に悪影響が及ばず、第3多層反射膜の高反射率特性を維持したまま、動作電圧を低減することができる。

【0118】一実施形態の半導体発光素子は、上記第1多層反射膜がGaAsで形成されているので、一連の結晶成長でGaAs基板に格子整合する材料系の発光層を良好な結晶性で形成することができる。

【0119】一実施形態の半導体発光素子は、上記発光層が $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) からなるので、550nm~680nm程度の発光を得ることができる。

【0120】一実施形態の半導体発光素子は、上記第3多層反射膜を $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) で形成するから、結晶性の良い $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y$

≤ 1 , $0 \leq z \leq 1$) 発光層を形成することができる。

【0121】また、上記第3多層反射膜を $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成するから、 $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) 発光層の結晶性をさらに高くすることができる。

【0122】一実施形態の半導体発光素子は、上記電流阻止層を $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) で形成するから、590nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流阻止層を作製することができる。

【0123】また、上記電流阻止層が $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成するから、550nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流阻止層を作製することができる。

【0124】一実施形態の半導体発光素子は、上記電流拡散層を $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) で形成するから、590nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流拡散層を作製することができる。

【0125】また、上記電流拡散層を $Al_yGa_zIn_{1-y-z}P$ ($0 \leq y \leq 1$, $0 \leq z \leq 1$) で形成するから、550nm程度より長波長の光に対して光吸収がなく、耐湿性が良好な電流拡散層を作製することができる。

【0126】一実施形態の半導体発光素子は、上記電流拡散層が発光光に対して50%以上の透過率の透光性電極であるので、半導体材料で電流拡散層を形成する場合よりも、動作電圧を低減することができる。

【0127】一実施形態の半導体発光素子は、上記第3多層反射膜の縁部の表面と半導体基板の裏面とに、上記半導体基板と同一導電型の電極が形成されているので、電流が発光層を経由して側方にも流れて、動作電圧を低減することができる。

【0128】本発明の半導体発光素子の製造方法は、第1多層反射膜の縁部を高温の水蒸気中で熱処理することにより、第1多層反射膜の縁部のAlを Al_nO_m (n, m : 整数) に変化させるので、第1多層反射膜の縁部における低屈折率層が Al_nO_m で形成されて、通常の製造工程を大きく変えることなく、第1多層反射膜の縁部の反射率を高めることができる。

【図面の簡単な説明】

【図1】 図1(a)は本発明の実施例1の半導体発光素子の上面図であり、図1(b)は図1(a)のb-b線断面図である。

【図2】 図2は上記実施例1の半導体発光素子の製造途中の断面図である。

【図3】 図3(a)は上記実施例1の半導体発光素子の製造途中の上面図であり、図3(b)は図3(a)のb-b線断面図である。

【図4】 図4(a)は従来の半導体発光素子の基板側のDBR膜の反射スペクトルを示すグラフであり、図4

(b) は上記実施例1の半導体発光素子の基板側のDBR膜の反射スペクトルを示すグラフである。

【図5】 図5(a)は本発明の実施例2の半導体発光素子の上面図であり、図5(b)は図5(a)のb-b線から見た断面図である。

【図6】 図6は上記実施例2の半導体発光素子の製造途中の断面図である。

【図7】 図7(a)は上記実施例2の半導体発光素子の製造途中の上面図であり、図7(b)は図7(a)のb-b線から見た断面図である。

【図8】 図8(a)は従来の半導体発光素子の基板側のDBR膜の反射スペクトルを示すグラフであり、図8(b)は上記実施例2の半導体発光素子の基板側のDBR膜の反射スペクトルを示すグラフである。

【図9】 図9(a)は本発明の実施例3の半導体発光素子の上面図であり、図9(b)は図9(a)のb-b線断面図である。

【図10】 図10は上記実施例3の半導体発光素子の製造途中の断面図である。

【図11】 図11(a)は上記実施例3の半導体発光

素子の製造途中の上面図であり、図11(b)は図11(a)のb-b線見た断面図である。

【図12】 図12(a)は本発明の実施例4の半導体発光素子の上面図であり、図12(b)は図12(a)のb-b線断面図である。

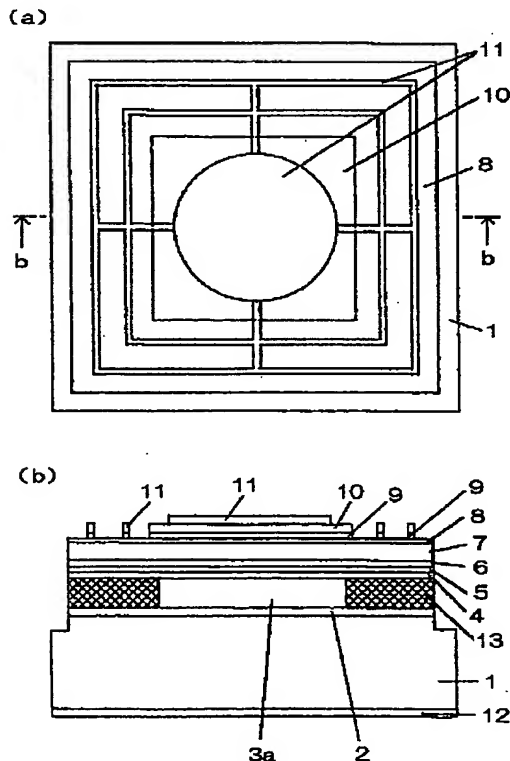
【図13】 図13は上記実施例4の半導体発光素子の製造途中の断面図である。

【図14】 図14(a)は上記実施例4の半導体発光素子の製造途中の上面図であり、図14(b)は図14(a)のb-b線見た断面図である。

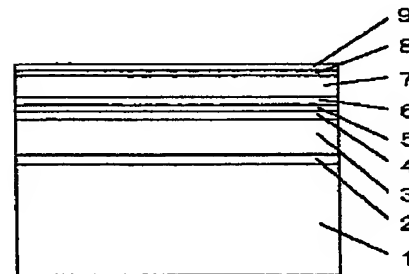
【符号の説明】

1, 21, 41, 61 n型のGaAs基板
3a, 23a, 43a, 63a 内側第1DBR膜
5, 26, 46, 66 量子井戸活性層5
7, 28, 48, 68 第2DBR膜
10, 71 SiO₂膜
13, 36, 56, 76 外側第1DBR膜
24, 44, 64 第3DBR膜
30a n型のGaAs電流阻止層
51a n型のGaP電流阻止層

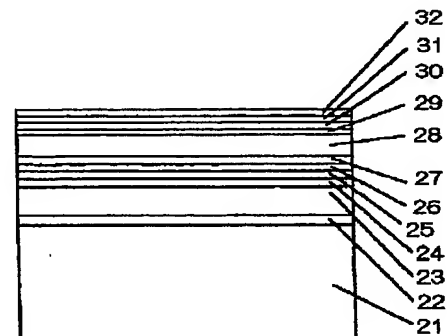
【図1】



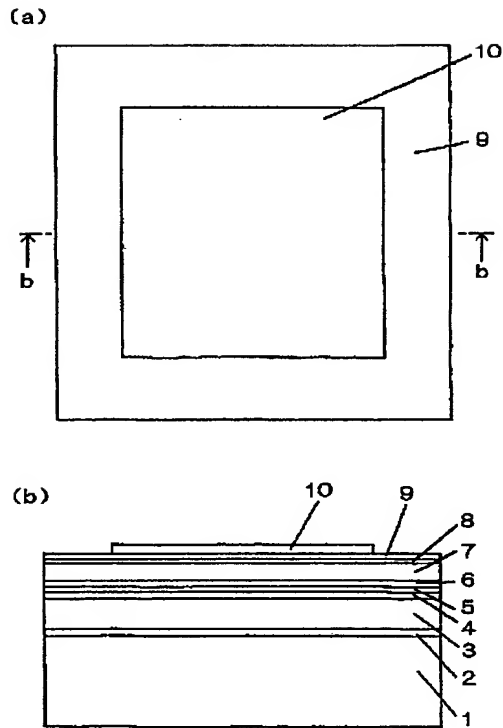
【図2】



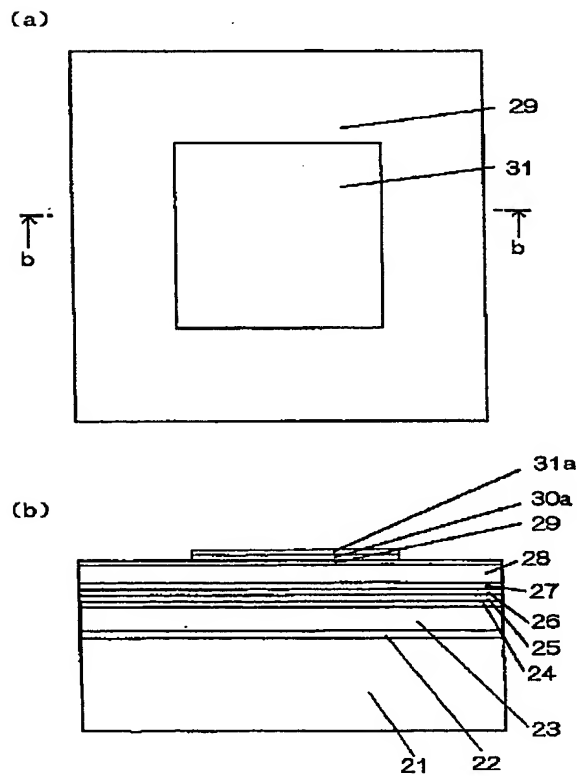
【図6】



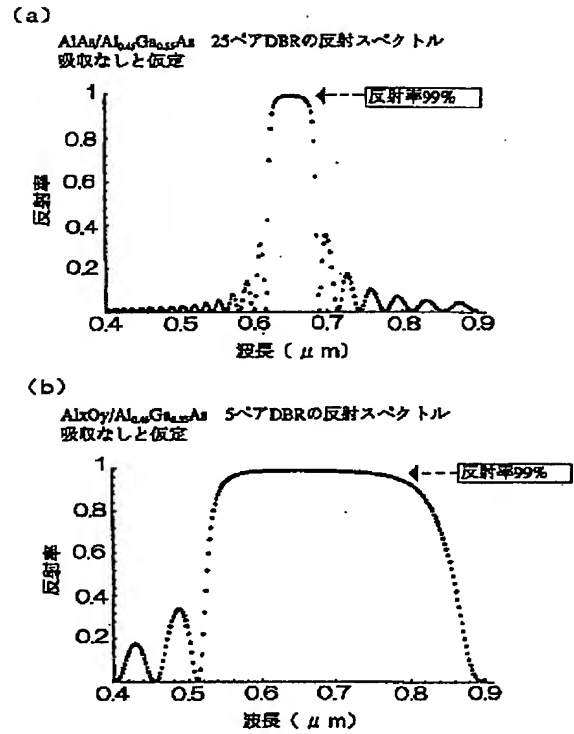
【図3】



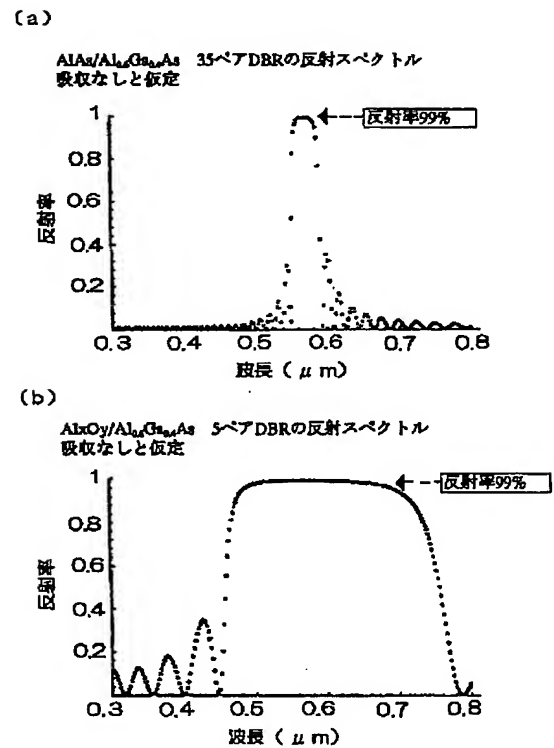
【図7】



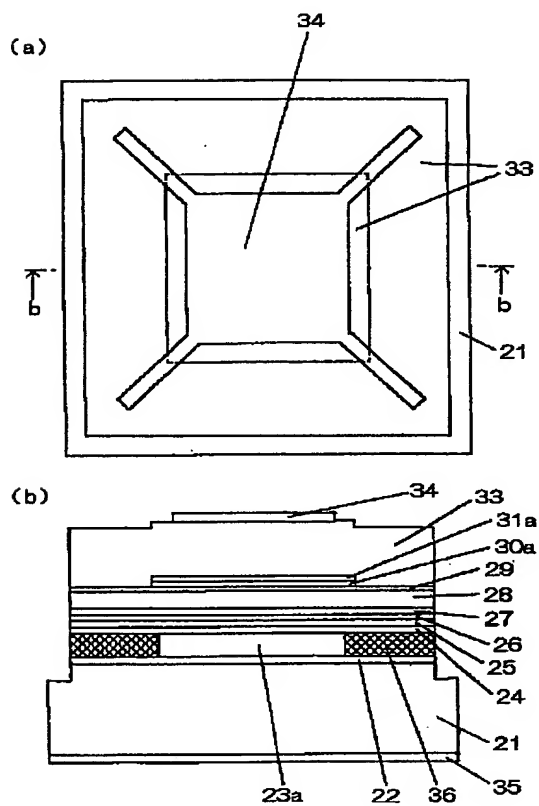
【図4】



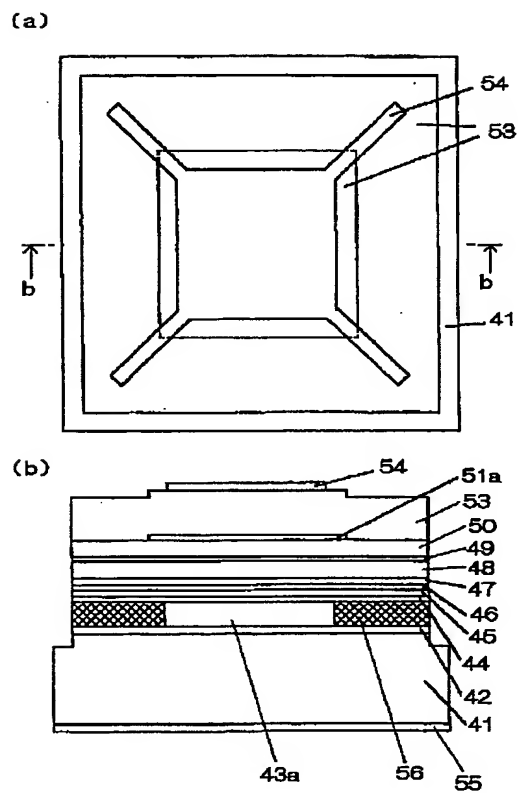
【図8】



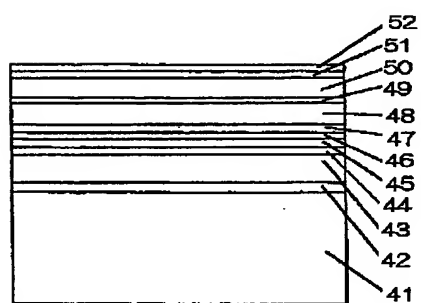
【図5】



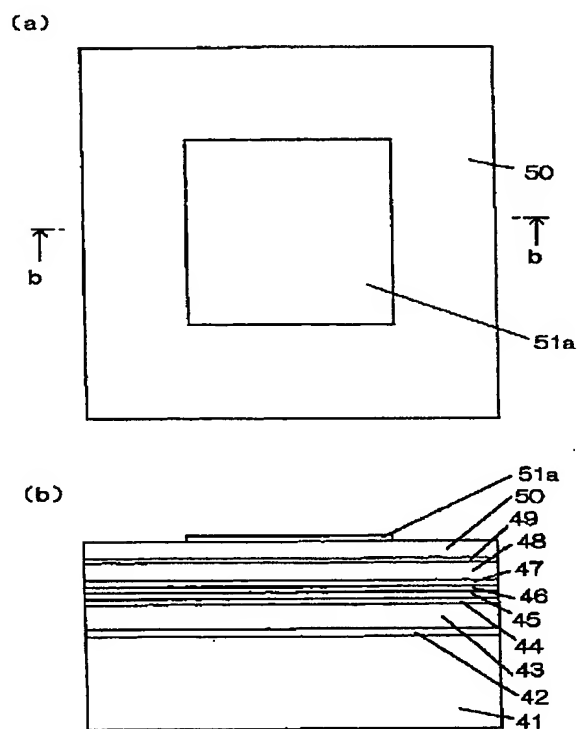
【図9】



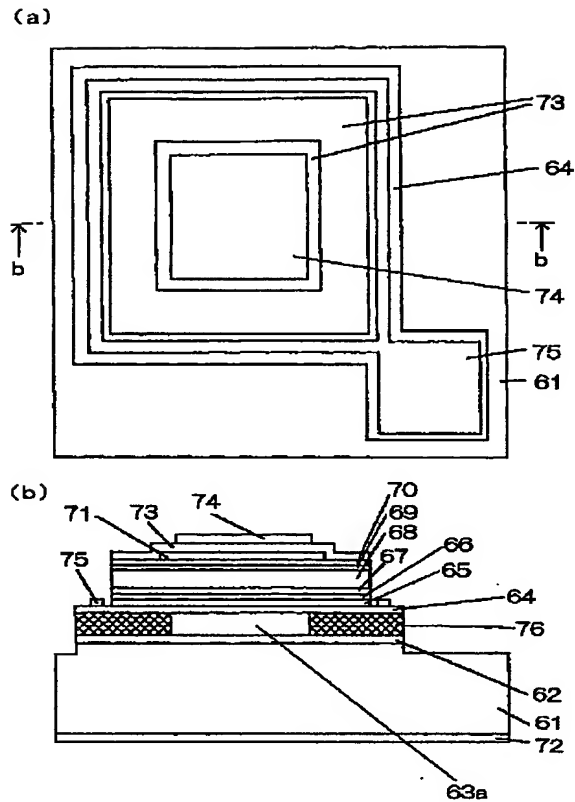
【図10】



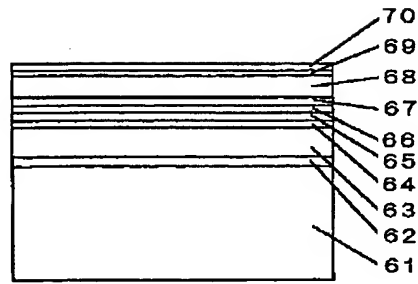
【図11】



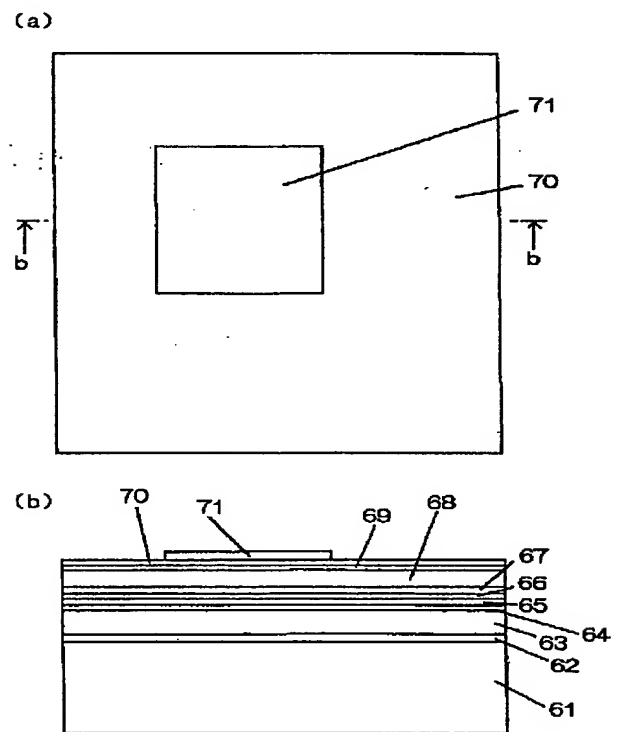
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 大山 尚一
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 中津 弘志
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

Fターム(参考) 5F041 AA03 AA05 AA08 CA04 CA05
CA12 CA34 CA36 CA51 CA73
CA85 CA93 CB04 CB15 FF14